

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2004-524685

(P2004-524685A)

(43) 公表日 平成16年8月12日 (2004.8.12)

(51) Int. Cl.⁷
H01L 21/3085F I
H01L 21/302 105Bテーマコード (参考)
5F004

審査請求 未請求 予備審査請求 有 (全 27 頁)

(21) 出願番号 特願2002-565343 (P2002-565343)
 (86) (22) 出願日 平成14年1月25日 (2002.1.25)
 (85) 翻訳文提出日 平成15年8月14日 (2003.8.14)
 (86) 国際出願番号 PCT/US2002/002235
 (87) 国際公開番号 W02002/065511
 (87) 国際公開日 平成14年8月22日 (2002.8.22)
 (31) 優先権主張番号 09/783,423
 (32) 優先日 平成13年2月14日 (2001.2.14)
 (33) 優先権主張国 米国 (US)

(71) 出願人 591016172
 アドバンスト・マイクロ・ディバイシズ・
 インコーポレイテッド
 ADVANCED MICRO DEVI
 CES INCORPORATED
 アメリカ合衆国、94088-3453
 カリフォルニア州、サニibel、ビー・
 オウ・ボックス・3453、ワン・エイ・
 エム・ディ・プレイス、メイル・ストップ
 ・68 (番地なし)
 (74) 代理人 100099324
 弁理士 鈴木 正剛
 (74) 代理人 100111615
 弁理士 佐野 良太

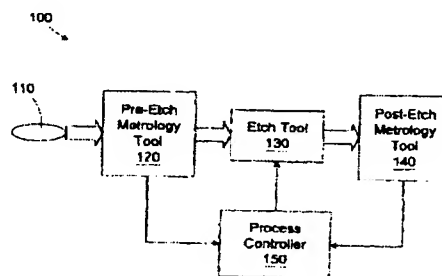
最終頁に続く

(54) 【発明の名称】 エッチング選択度を制御するための方法と装置

(57) 【要約】

エッチングプロセスを制御するための方法は、少なくとも第一番目の層と、この第一番目の層を覆って形成された第二番目の層を有するウェハを供給する。第二番目の層の厚みを測定し、第二番目の層の測定された厚さに基づいて、エッチング選択性パラメータを決定する。エッチングツール(130)の操作レシピは、前記エッチング選択性パラメータに基づいて変更される。

処理設備(100)は、エッチングツール(130)、第一番目の測定用ツール(120)、そしてプロセスコントローラ(150)を含み構成される。エッチングツール(130)は、複数のウェハ(110)を操作レシピに基づいてエッチングするように構成されており、個々のウェハ(110)は、少なくとも第一番目の層とこの第一番目の層を覆って形成された第二番目の層を有している。第一番目の測定用ツール(120)は、第二番目の層の厚みをエッチング前に測定するように構成されている。プロセスコントローラ(150)は、第二番目の層のエッチング前に測定された厚みに基づいてエッチング選択性パラメータを決定し、エッチング選択性パラメータに基づいてエッチングツール(130)の



【特許請求の範囲】**【請求項 1】**

エッチングプロセスを制御するための方法であって、
少なくとも第一番目の層と、この第一番目の層を覆って形成された第二番目の層を有するウェハを供給する処理、
前記第二番目の層の厚みを測定する処理、
前記第二番目の層の測定された厚さに基づいて、エッチング選択性パラメータを決定する処理、
前記エッチング選択性パラメータに基づいて、エッチングツール(130)の操作レシピを調整する処理を含むエッチングプロセスを制御するための方法。

10

【請求項 2】

前記第一番目の層の厚みを測定する処理をさらに含み、前記エッチング選択性パラメータを決定する際に、前記第一番目の層の測定された厚さに基づいて前記エッチング選択性パラメータを決定する、請求項 1 記載の方法。

【請求項 3】

前記操作レシピに基づいて少なくとも前記第二番目の層をエッチングする処理をさらに含む、請求項 1 記載の方法。

【請求項 4】

前記エッチング選択性パラメータを決定する際に、温度、圧力、および二種類の反応ガスの濃度の比率のうち少なくとも 1 つを決定する、請求項 1 記載の方法。

20

【請求項 5】

少なくとも前記第一番目の層の一部を操作レシピに基づいてエッチングする処理、
前記第一番目の層の残っている部分の厚みを測定する処理、
測定された前記残っている部分の厚みを目標の厚みと比較する処理、
測定された前記残っている部分の厚みと前記目標の厚みとの差に基づいて、前記エッチングツール(130)の操作レシピを調整する処理をさらに含む請求項 3 記載の方法。

【請求項 6】

少なくとも第一番目の層とこの第一番目の層を覆って形成される第二番目の層とを有する複数のウェハ(110)を、操作レシピに基づいてエッチングするように構成されたエッチングツール(130)と、

30

前記第二番目の層の厚みをエッチング前に測定するように構成された第一番目の測定用ツール(120)と、

前記第二番目の層のエッチング前に測定された厚みに基づいてエッチング選択性パラメータを決定し、前記エッチング選択性パラメータに基づいてエッチングツール(130)の操作レシピを変更するように構成されたプロセスコントローラ(150)とを備える処理設備(100)。

【請求項 7】

前記第一番目の測定用ツール(120)が、さらにエッチング前の第一番目の層の厚みを測定するように構成されており、前記プロセスコントローラ(150)が、前記エッチング前に測定された前記第一番目の層の厚みに基づいて前記エッチング選択性パラメータを決定するように構成されている、請求項 6 に記載の処理設備(100)。

40

【請求項 8】

前記エッチングツール(130)が、前記操作レシピに基づいて少なくとも前記第二番目の層をエッチングするように構成されている、請求項 6 に記載の処理設備(100)。

【請求項 9】

前記エッチング選択性パラメータは、温度、圧力、および二種類の反応ガスの濃度の比率のうちの少なくとも 1 つを含む、請求項 6 に記載の処理設備(100)。

【請求項 10】

前記エッチングツール(130)は、前記操作レシピに基づいて前記第一番目の層の少なくとも一部分をエッチングするように構成されており、処理設備(100)が、前記第一番目の層

50

の残っている部分の厚みを測定するように構成された第二番目の測定用ツール(140)をさらに備え、前記プロセスコントローラ(150)は、前記残っている部分の厚みと目標の厚みとを比較し、前記残っている部分の厚みと前記目標の厚みとの差に基づいて、前記エッチングツール(130)の前記操作レシピを変更するように構成されている、請求項8に記載の処理設備(100)。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は一般的に半導体装置製造の分野に関し、特にエッチング選択度を制御するための方法と装置に関するものである。

10

【背景技術】

【0002】

トランジスタなどの半導体装置のサイズまたはスケールを減少させることは、トランジスタを組み込む装置の全体としての速度を向上させることができるために恒常的な目標となっている。マイクロプロセッサなどの従来の集積回路装置は通常は半導体基板の表面上に形成された何百万個ものトランジスタから構成される。

【0003】

最近の集積回路装置の多くは非常に高密度に実装されている。すなわち、基板上に形成されたトランジスタの間のスペースは、非常に僅かである。半導体装置の製造には、未精製の半導体用の材料からパッケージされた半導体装置を作成するために個別のプロセス工程を必要とする。これら様々な過程には、最初の半導体材料の成長、半導体結晶を薄板状に切り個々のウェハにすること、製作工程（エッチング、ドーピング、イオン注入、または類似の工程）、そして、パッケージングや完成した半導体装置の最終的な検査が含まれる。

20

【0004】

半導体装置の製過程中で重要な様相 (aspects) としては、急速熱アニーリング(RTA; rapid thermal annealing)過程のコントロール、化学的・機械的研磨(CMP)コントロール、エッチングコントロール、およびオーバレイコントロールが挙げられる。半導体装置をより小さい限界的な寸法とするのを促進するための技術進歩につれて、誤りを減少させる必要性は劇的に増加している。半導体装置中での各小区画(subsections)が適切に形成されることは、製造された半導体装置の適切な動作性能を保証するための重要な要素である。一般には製造品質が許容範囲内となるように、小区画の臨界的な寸法は半導体装置の誤差の定められた許容範囲に入っていなければならない。

30

【発明の開示】

【発明が解決しようとする課題】

【0005】

一般に半導体装置に関する大部分の特徴は、原材料(例えば、伝導性或いは絶縁性の)の層群を蒸着し、フォトリソグラフィー(photolithography)とエッチングの各工程を用いて、これらの層群をパターンニングすることによって形成される。多くの変数が、半導体装置の特徴を形成するために用いられるエッチング工程の精度と再現性に影響を与える。ある特定のエッチング工程群には、ウェハ上に形成された上部層の一部分を取り除くプラズマエッチングが含まれている。プラズマエッチングは主として異方性エッチングであるが、等方性の成分(component)も持つ。エッチング過程で、プラズマ中の反応体は高分子副産物を形成する。それはエッチングされている構造を含む、プラズマに曝された表面上に堆積する。エッチングされている構造の側壁表面に形成された高分子は、エッチングの異方性の成分によっては取り除かれれない。各エッチング工程では、典型的にはハロカーボン(halocarbon; 含ハロゲン炭素化合物)ガス(すなわち、塩素やフッ素や炭化水素基など、ハロゲンを含むガス)が使用される。炭化水素基のイオンがプラズマの中で発生して、異方性エッチングを実行するためにウェハの表面に向かって加速される。異方性エッチング成分は、同時に、イオンの流れ方向に垂直な表面の高分子の蓄積物を取り除く。プラズ

40

50

マの中ではハロゲン化基（ラジカル）もまた発生して、これは高分子がスパッタリングされているところの表面膜を取り除くという等方性の化学エッチング効果を持っている。等方性エッチング成分も、また、側壁表面に働くが、より「平坦な」表面に対して与える影響に比べてより少ない。

【0006】

除去が必要な層が取り除かれた後には、プラズマエッチング過程は通常は、下地（下側）層をある程度エッチングする。例えば、トランジスタの形成の間に、シリコン二酸化物層の上にポリシリコン層が形成される。次に、トランジスタのゲート電極を形成するためにポリシリコンに異方性のプラズマエッチングを行う。また、ポリシリコンのエッチングの間に、シリコン二酸化物は、部分的にエッチングされる。例えば、シリコン二酸化物の上のシリコン窒化物をプラズマエッチングする場合において、下地層のエッチングが明らかに発生する。搬入されるウェハの表面側および下地側の各層それぞれの厚みの変動と、プラズマエッチング過程での表面側および下地側の選択性の変動（例えば異なる材料に対して表面側および下側の各層それぞれへのエッチング速度（etch rates）は異なる）により、下地層のエッチング後の厚みが目標の厚みから異なってくる。こうしたエッチング後の厚みの偏差に対応して、半導体装置の特性と動作性能の変動を引き起こす可能性がある。エッチング後の厚み変動を最小にすることは、例えばポリシリコンゲート電極、ローカルインターコネクト構造などの構造の形成のために特に重要である。

【0007】

本発明は、上述した問題の1つ或いはそれ以上について、克服するかまたは少なくとも影響を減少させることを意図している。

【課題を解決するための手段】

【0008】

本発明の1つの態様は、エッチング工程を制御するための方法として示される。この方法は、少なくとも第一番目の層と第一番目の層上に形成された第二番目の層を有するウェハを供給する過程を含んでいる。第二番目の層の厚みが測定される。測定された第二番目の層の厚みに基づいてエッチング選択性（etch selectivity）のパラメータが決定される。エッチング・ツールの操作レシピ（operating recipe）が選択性パラメータに基づいて修正される。

【0009】

本発明の別の態様が、エッチング・ツールと第一番目の測定用ツールおよびプロセスコントローラを含む処理設備として示される。エッチング・ツールは、操作レシピに基づいて複数のウェハをエッチングするように構成されている。個々のウェハは少なくとも第一番目の層とこの第一番目の層を覆って表面上に形成された第二番目の層を有している。最初の測定用ツールは、エッチング前の第二番目の層の厚みを測定するように構成されている。プロセスコントローラは、第二番目の層のエッチング前に測定された厚みに基づいてエッチング選択性パラメータを決定し、このエッチング選択性パラメータに基づいてエッチング・ツールの操作レシピを変更・調節するように構成されている。

【0010】

（図面の簡単な説明）

本発明は、添付図面群に関連づけた以下の記述によって理解されるであろう。各図では、類似の参照番号は同様の要素であることを示している。

図1は本発明の一実施形態に従った処理設備の簡易化されたブロックダイアグラムである。

図2は本発明の1つの実施形態に従ったニューラルネットワークのモデル化システムの簡易化されたダイアグラムである。

そして、図3は本発明の一実施例に従った、ゲート電極の長さの変動を抑制するための方法の簡易化されたフローチャートである。

【0011】

本発明は、様々な変更と代替の形態を許容するものであるから、その特定の実施形態を一

10

20

30

40

50

例として図面に示し、これにより詳細に説明している。しかしながら、ここでの特定の実施形態についての記述は、本発明をここに開示された特定の態様に制限する意図はなく、逆に、全ての変形・変更や均等のもの、代替手段等は、添付の特許請求の範囲の記載により規定される本発明の思想と範囲に含まれることが理解されるべきである。

【発明を実施するための最良の形態】

【0012】

発明の実施形態を以下に詳述する。明瞭化のために、この明細書中では実際の実施形態のすべての特徴について説明してはいない。そのようななんらかの実際の実施形態の開発においては、多くの設計上の詳細な決定、システム関連の対処、そして、ビジネス関連の規制への対応など、実機の設計に対応して変化しうる開発者の特定の目標を達成するための決定がなされなければならないことは当然に理解されるであろう。そのうえ、そのような開発の努力は複雑であって、時間を要するかもしれないが、それにもかかわらず、この公開の恩恵に預かる当業者にとっては、通常の仕事であることは理解されるであろう。

【0013】

図1を参照すると、本発明に従った一実施形態として、ウェハ110を処理するための処理設備100の一部分の簡易化されたダイアグラムが提供されている。

処理設備100は、エッチング前の測定用ツール120、エッチング用ツール130、エッチング後の測定用ツール140、およびプロセスコントローラ150を含み構成されている。プロセスコントローラ150は、測定用ツール120、140からのデータを受け取って、エッチング選択性を制御するためにエッチングツールの操作レシピを調整し、これによって、処理後のウェハ110の特性のばらつきを減少させる。

【0014】

エッチングツール130の所望機能を遂行するのに適した典型的ツールには、Lam Research社によって提供されている「Rainbow 9400 plasma etch tool」がある。そして、測定用ツール120、140は、Thermawave, Inc.社によって提供される「Optiprobe thickness measuring tools」の如き厚み測定装置である。図では、別個の測定用ツール120、140が示されているが、一つの測定用ツールをエッチング前およびエッチング後の厚み測定に用いることができる。測定用ツール120、140は、エッチングツール130に統合された構成とすることもできる。プロセスコントローラ150は、エッチングツール130のエッチング選択性モデルを含んでいる。このモデルは、エッチングされる上部層およびこの上部層の下側の下地層のエッチング前の厚みとエッチング後の厚みについて、測定用ツール120、140から得られる入力値に基づいて生成および／または更新される。上部層と下地層のための材料の組み合わせには多くの可能な組み合わせがある。上部層と下地層の材料の典型的な組合せは、ポリシリコンとシリコン二酸化物、シリコン二酸化物とシリコン窒化物、シリコン窒化物とシリコン二酸化物等である。

【0015】

図示された実施例では、プロセスコントローラ150はここで説明された機能を実行するためのソフトウェアがプログラムされたコンピュータである。

しかしながら、当業者にとって自明なように、また、特定の機能を実行するように設計されたハードウェアコントローラを使用することもできる。更には、ここで説明されるような、プロセスコントローラ150によって実行される機能は、システム中で分散配置される複数のコントローラ装置によって実行させることが可能である。更に、プロセスコントローラ150はスタンドアロンのコントローラであっても良いし、エッチングツール130に組み込まれていても良く、或いは、それは集積回路製造施設でのシステム制御操作の一部であっても良い。発明の一部分と対応する詳細な説明は、アルゴリズム、コンピュータメモリ中のデータビットとしての操作のシンボリックな表現などのソフトウェアという見地から示される。これらの説明と表現は、当業者が他の当業者に、それらの仕事の要旨を効果的に伝えるためのものである。ここで使用されまた一般的に使用されるアルゴリズムという用語は、必要とする結果を得るためのステップの首尾一貫した系列を意味する。ステップは物理的な量の物理的な操作を要求するものを指す。必ずしも必要ではないが、通常これ

らの量は、格納し、転送し、結合し、比較したり操作することができるような、光学的、電氣的または、磁氣的な信号の形態を取る。広く用いられているとの主たる理由で、これらの信号をビット、値、要素、シンボル、キャラクタ、用語、数、または同様のものとして言及すると時には便利であることが知られている。

【0016】

しかしながら、これらおよび類似の用語のすべては、適切な物理的な量に関連づけられており、これらの量に適用された単に便利なラベルであるという点に留意すべきである。明確にそうでないと断らない限り、または論説からそのまま明らかな場合には、「処理」、「コンピューティング」、「計算」、「決定」または「表示」などの用語または同様のものは、コンピュータシステム或いは同様の電子計算機上での動作とプロセスを意味している。これら装置は、コンピュータシステム上のレジスタ、メモリ内の物理的、電氣的な量をデータを操作し変換して同様にコンピュータシステムメモリやレジスタ、或いは他の同種の情報格納装置、情報伝送装置、情報表示装置で物理量を表す別なデータにするものである。

【0017】

上述のプロセスコントローラ140で機能するように構成可能な典型的なソフトウェアシステムのひとつは、KLA-Tencor, Inc.社が提供する「Catalyst system」である。「Catalyst system」は、「国際半導体製造装置協会 (SEMI)」、「Computer Integrated Manufacturing (CIM) Framework compliant system technologies」を利用しており、「the Advanced Process Control (APC) Framework」に基づいている。CIM (SEMI E8 1-0699 - Provisional Specification for CIM Framework Domain Architecture) と APC (SEMI E93 -0999 - Provisional Specification for CIM Framework Advanced Process Control Component) 仕様書がSEMIから一般に入手可能である。

【0018】

エッチング前用の測定用ツール120は、上部層および下地層の厚みを導入時に測定して、エッチング前厚み測定値をプロセスコントローラ150に供給する。プロセスコントローラ150は、エッチング前厚み測定値に基づいて、エッチングツール130のエッチング選択性を制御するための操作レシピパラメータを生成する。エッチング選択性を制御することで、エッチングツール130のエッチング速度を上部層および下地層の材料に対して制御することになり、結果、上部層および下地層のエッチング処理後の厚みに影響を与えることとなる。エッチング後測定用ツール140によって提供されるエッチング処理後の厚み測定値は、プロセスコントローラ150が、エッチングツール130の操作レシピを決定する際に使われるエッチング選択性モデルを更新するのに使用可能である。

【0019】

エッチング選択性に強く影響を与える代表的要素は、温度、圧力、反応ガスの成分構成である。一般に、温度が増加するのに従って、プラズマ反応物によって形成される高分子副産物は少なくなる。この副産物形成の減少効果は、概してプラズマの等方性エッチング速度を増加させる。圧力を減少させるとイオンのエネルギーが増え、エッチング部に垂直な表面上に形成される高分子物質はより急速に取り除かれる。この結果として、異方性エッチング速度が増加する。

【0020】

典型的なプラズマ反応ガス混合物は、一種類或いはより多くのハロカーボン (含ハロゲン炭素化合物) ガス、例えば、 C_2F_6 、 C_4F_8 、 CHF_3 、 CF_4 、 CCl_4 などを含んでいる。多くのその他のハロカーボンガスも一般的に使用される。エッチング選択性は、プラズマ中のハロカーボンガスの濃度の比率を変えることによって制御することもできる。例えば、 CHF_3 と CF_4 を含むプラズマを考えてみる。適用例としては、シリコン二酸化物層がTEOSデポジションプロセスによって形成され、続いてspin-on-glass (SOG)手法によってデポジションと硬化が行われる。TEOSとSOGの両方がエッチングプラズマにさらされ、形成された誘電体は平坦化エッチング作用を受ける。これらの層の相対的エッチング速度 (etch rates) は、最終構造の平坦化度合いを決定する。 CHF_3 ガスと CF_4 ガスの合計流量を等しく保って

、二種類のガスの比率を変えることによって、選択性を最適化することができる。CF₄流量の対CHF₃流量比率を増加させると、TEOSのSOGに対するエッチング速度の比率は増加する。同様に、CF₄の流量比率を減少させると、SOGのエッチング速度の比率は増加する。より高いCHF₃濃度でのエッチングの過程では、高分子形成の割合が増える。

【0021】

エッチングツール130のレシピを変えながら、プロセスコントローラ150は、パラメータ或いは基礎レシピの中のパラメータ群を変えることもできるし、またはその代わりに、プロセスコントローラ150は完全に新しいレシピを用意することもできる。

【0022】

プロセスコントローラ150は、ウェハ毎に、ロット毎に、または一回の同時処理対象のロットグループ毎に、レシピを更新することが可能である。

プロセスコントローラ150は、フィードバックモード動作或いはフィードフォワードモード動作において、エッチングツール130のレシピを変えることができる。

【0023】

フィードバックモードにおいては、目標のエッチング処理後厚みの関係で、測定用ツール120、140からの厚み測定値を用いて、続く処理対象ウェハのための新しい操作レシピを決定する。フィードフォワードモードにおいては、プロセスコントローラ150は、エッチング前測定用ツール120から入って来る厚み測定値を受け取って、エッチング選択性を制御するための操作レシピパラメータを予測する。その後の、エッチング後の測定値は、続くウェハのための予測モデルを更新するために使用できる。

【0024】

エッチング選択性モデルは、プロセスコントローラ150によって生成されてもよいし、代わりに、別の異なった処理制御リソース(図示せず)によって生成した後にプロセスコントローラ150に蓄積してもよい。エッチング選択性モデルは、エッチングツール130を利用して、或いは同様の動作特性を持った別のツール(図示せず)を用いて開発してもよい。説明の都合上、エッチング選択性モデルは、測定用ツール120、140によって計測されたエッチングツール130による実際の動作に基づいてプロセスコントローラ150または他の制御リソースによって生成され更新されるものと仮定して説明する。エッチング選択性モデルは、エッチングツール130の数多くのプロセス実行動作から収集される過去データに基づいて練成される。エッチング選択性モデルは、比較的簡単な方程式に基づいたモデル(例えば、線形、指数関数的、加重平均など)でもよいし、或いはより複雑な例えばニューラル・ネットワークモデル、主成分分析(PCA)モデル或いは部分最小二乗回帰(PLS)といったモデルを用いることができる。モデルの実施内容は、選択されたモデル化技術に依存して変更されるかもしれない。また、そのような実施方法は、当業者に良く知られている。

【0025】

次の例は、エッチングツール130のエッチング選択性モデルがどのように生成されるかを高いレベルで説明する事例として提供される。モデルの実施内容は、選択されたモデル化技術に依存して変更されるかもしれない。また、そのような実施方法は、当業者によく知られている。従って、明快さと説明の容易化のために、そのような特定の詳細部分はここでは詳細には説明しない。

【0026】

手短に図2の説明に移ると、ニューラルネットワーク200の簡易化されたダイアグラムが提供されている。ニューラルネットワーク200は入力層210、隠された層220、および出力層230を含む。入力層210は、エッチングツール130のエッチング選択性をモデル化するのに適切と考えられる入力値群を受け取る。図示実施例中では、測定用ツール120、140によって測定される導入された上部層および下地層の厚みが入力として受理される。もっともその他の入力も使用可能である。ニューラル・ネットワーク200が、エッチングツール130或いは類似したツール(図示せず)の過去の実行データにさらされるトレーニング過程において、隠された層220は、エッチング後の下地層の厚みを決定するために、エッチングツール130の操作レシピ中のレシピパラメータが持つ効果を「学習する」。隠された層220は

、将来の性能を予測するために、入力の方々におよび／または 入力のコンビネーションに対して重み付けを行う。過去のデータの分析を通じて、重み付け値群はモデルが将来の性能予測に成功する確率を増加させるように変更される。出力層230は、例えばエッチングを実行しかつ下地層のエッチング後の厚みが目標の厚みに到達するために必要とされる温度、圧力、反応物ガス組成の予測を生成するために、隠された層220の操作を引き出す。

【0027】

一度モデルが十分に訓練されれば、生産環境の中で、現在の入力値測定に基づいてエッチングツール130の動作を予測するために使用することができる。神経状ネットワーク200によって予測された結果に基づいて、デポジションコントロールパラメータが予測され、これに従ってエッチングツール130の操作レシピが変更される。生産環境中で、エッチング後測定用ツール140からの周期的な測定値がフィード・バックとしてプロセスコントローラ150に供給され、エッチング選択性モデルが更新される。 10

【0028】

さて、図3を参照すると、エッチングツール130の選択性制御のための方法のフローチャートが提供されている。処理ブロック300において、第一番目と第二番目の層を持っているウェハが準備される。第二番目の層は第一番目の層の上に形成されている。ウェハは、処理ブロック310において、少なくとも第二番目の層の一部が露出するようにパターニングされている。処理ブロック320では、第二番目の層の厚みが測定される。1つの実施形態では、第一番目の層の厚みも測定される。処理ブロック330では 第二番目の層の厚みに基づいてエッチング選択性パラメータ群が決定される（もしも、第一番目の層の厚みが測定されているならばこれにも基づいて決定がなされる）。エッチング選択性パラメータの決定は、フィード・フォワード予測モデル化技術を用いて、或いはフィード・バック技術を用いて遂行することができる。処理ブロック340では、少なくとも第一番目の層がエッチング選択性パラメータに基づいてエッチングされる。フィードフォワードモードの場合は、このエッチング処理は現在のウェハに対して実行される。フィードバックモードの場合には、このエッチング処理はその後に続くウェハに対して実行される。 20

【0029】

上述されるようなエッチング選択性の制御は、エッチング処理後の下地層の厚み変動を減少させ、結果として、より安定して反復可能な処理プロセスをもたらす。変動の縮小を達成するためにリアル・タイムコントロールモデルを使用することによって、処理ライン100のスループット、および最終生産物の品質を向上させることができる。 30

増加したスループットと縮小した変動は、直接的に収益性の増加に結び付く。

【0030】

以上説明した特別の実施形態は単なる例示であり、本発明は、ここでの教示の恩恵を受けた当業者にとっては明らかな、異なる方法だが均等な方法に修正しても実施可能である。更には、ここに示された構造或いは設計の詳細は、以下の各請求項で述べられている以上には、如何なる制限をも意図するものではない。従って、上に示された実施形態は変更され、修正され得ることは明白であって、また、そのような変更はすべて、発明の権利範囲および技術思想内に含まれるものと考慮される。すなわち、ここで求められる保護は、以下の請求項に詳しく述べられているものである。 40

【図面の簡単な説明】

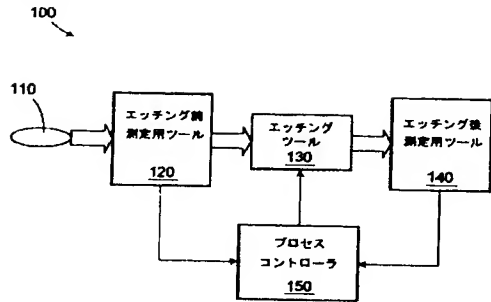
【0031】

【図1】本発明の一実施形態に従った処理設備の簡易化されたブロックダイアグラムである。

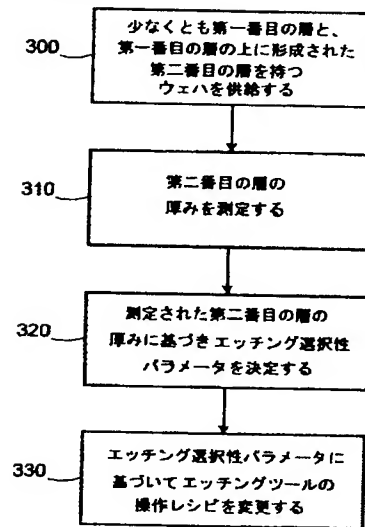
【図2】本発明の1つの実施形態に従ったニューラルネットワークのモデル化システムの簡易化されたダイアグラムである。

【図3】本発明の一実施例に従った、ゲート電極の長さの変動を抑制するための方法の簡易化されたフローチャートである。

【図 1】



【図 3】



(19) World Intellectual Property Organization
International Bureau



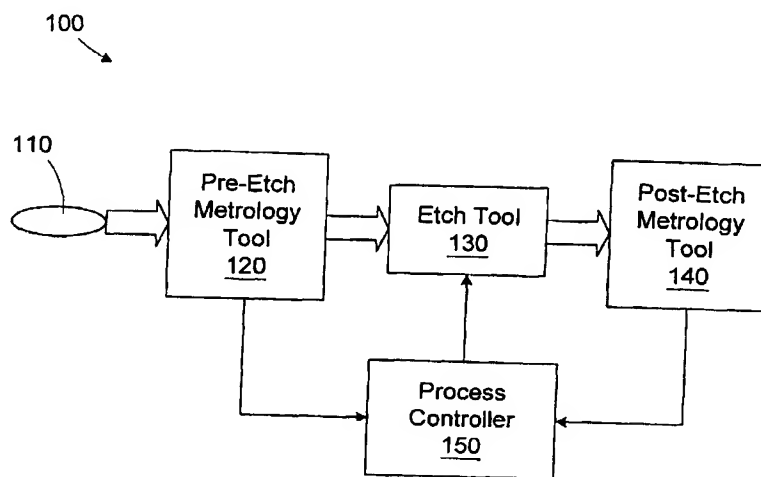
(43) International Publication Date
22 August 2002 (22.08.2002)

PCT

(10) International Publication Number
WO 02/065511 A2

- (51) International Patent Classification⁷: **H01L 21/00**
- (21) International Application Number: PCT/US02/02235
- (22) International Filing Date: 25 January 2002 (25.01.2002)
- (25) Filing Language: English
- (26) Publication Language: English
- (30) Priority Data:
09/783,423 14 February 2001 (14.02.2001) US
- (71) Applicant: **ADVANCED MICRO DEVICES, INC.**
[US/US]; One AMD Place, Mail Stop 68, Sunnyvale, CA
94088-3453 (US).
- (81) Designated States (*national*): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZW.
- (84) Designated States (*regional*): ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- (72) Inventors: **LANSFORD, Jeremy, S.**; 6103 Abilene Trail, Austin, TX 78749 (US). **FAULK, Laura**; 6103 Abilene Trail, Austin, TX 78749 (US).
- (74) Agent: **DRAKE, Paul, S.**; Advanced Micro Devices, Inc., 5204 East Ben White Boulevard, Mail Stop 562, Austin, TX 78741 (US).
- Published:**
— *without international search report and to be republished upon receipt of that report*
- For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.*

(54) Title: METHOD AND APPARATUS FOR CONTROLLING ETCH SELECTIVITY



(57) Abstract: A method for controlling an etch process comprises providing a wafer having at least a first layer and a second layer formed over the first layer. The thickness of the second layer is measured. An etch selectivity parameter is determined based on the measured thickness of the second layer. An operating recipe of an etch tool (130) is modified based on the etch selectivity parameter. A processing line (100) includes an etch tool (130), a first metrology tool (120), and a process controller (150). The etch tool (130) is adapted to etch a plurality of wafers (110) based on an operating recipe, each wafer (110) having at least a first layer and a second layer formed over the first layer. The first metrology tool (120) is adapted to measure a pre-etch thickness of the second layer. The process controller (150) is adapted to determine an etch selectivity parameter based on the measured pre-etch thickness of the second layer and modify the operating recipe of the etch tool (130) based on the etch selectivity parameter.

METHOD AND APPARATUS FOR CONTROLLING ETCH SELECTIVITY**TECHNICAL FIELD**

This invention relates generally to the field of semiconductor device manufacturing and, more particularly, to a method and apparatus for controlling etch selectivity.

BACKGROUND ART

There is a constant drive to reduce the size, or scale, of semiconductor devices, such as transistors, to increase the overall speed of the device incorporating such transistors. A conventional integrated circuit device, such as a microprocessor, is typically comprised of many millions of transistors formed above the surface of a semiconductive substrate.

Many modern integrated circuit devices are very densely packed, *i.e.*, there is very little space between the transistors formed above the substrate. The manufacture of semiconductor devices requires a number of discrete process steps to create a packaged semiconductor device from raw semiconductor material. The various processes include the initial growth of the semiconductor material, the slicing of the semiconductor crystal into individual wafers, the fabrication stages (etching, doping, ion implanting, or the like), and the packaging and final testing of the completed device.

Among the important aspects in semiconductor device manufacturing are rapid thermal annealing (RTA) control, chemical-mechanical polishing (CMP) control, etch control, and overlay control. As technology advances facilitate smaller critical dimensions for semiconductor devices, the need for reduction of errors increases dramatically. Proper formation of sub-sections within a semiconductor device is an important factor in ensuring proper performance of the manufactured semiconductor device. Critical dimensions of the sub-sections generally have to be within a predetermined acceptable margin of error for semiconductor devices to be within acceptable manufacturing quality.

Generally, most features on a semiconductor device are formed by depositing layers of material (*e.g.*, conductive or insulative) and patterning the layers using photolithography and etch processes. There are many variables that affect the accuracy and repeatability of the etch processes used to form the features. One particular etch process involves a plasma etch that removes a portion of an upper layer formed on the wafer. Although the plasma etch is primarily an anisotropic etch, it does have an isotropic component. During the etch, reactants in the plasma form a polymer byproduct that deposits on the surfaces exposed to the plasma, including the features being etched. Polymer that forms on sidewalls of the feature being etched is not removed by the anisotropic component of the etch. Typically, a halocarbon gas (*i.e.*, containing a halogen such as chlorine or fluorine and a hydrocarbon group) is used in the etch process. Ions of hydrocarbon groups are generated in the plasma and accelerated toward the surface of the wafer to perform the anisotropic etch. The anisotropic etch component also removes the polymer buildup on the surfaces perpendicular to the ion flux. Halogenated radicals, also generated in the plasma, have an isotropic chemical etching effect that removes the surface film where the polymer has been "sputtered" away. The isotropic etch component also affects the sidewall surfaces, but to a lesser degree than the more "flat" surfaces.

After the desired layer has been removed, the plasma etch process typically etches the underlying layer to some degree. For example, during the formation of a transistor, a polysilicon layer is formed over a silicon dioxide layer. The polysilicon is subsequently etched using an anisotropic plasma etch to form a transistor gate

electrode. The silicon dioxide is also partially etched during the etching of the polysilicon. Similar etching of the underlying layer is also evident in plasma etches of silicon nitride over silicon dioxide, for example. Variations in the incoming thickness of the upper and underlying layers and in the selectivity of the upper and underlying layers to the plasma etch process (*i.e.*, etch rates for the different materials in the upper and underlying layers are different) result in deviations in the post-etch thickness of the underlying layer from a target post-etch thickness. These post-etch thickness deviations, in turn, may cause corresponding variations in the properties of the device and its performance. Minimizing post-etch thickness variations is particularly important in the formation of features such as polysilicon gate electrodes and local interconnect structures.

The present invention is directed to overcoming, or at least reducing the effects of, one or more of the problems set forth above.

DISCLOSURE OF INVENTION

One aspect of the present invention is seen in a method for controlling an etch process. the method comprises providing a wafer having at least a first layer and a second layer formed over the first layer. The thickness of the second layer is measured. An etch selectivity parameter is determined based on the measured thickness of the second layer. An operating recipe of an etch tool is modified based on the etch selectivity parameter.

Another aspect of the present invention is seen in a processing line including an etch tool, a first metrology tool, and a process controller. The etch tool is adapted to etch a plurality of wafers based on an operating recipe, each wafer having at least a first layer and a second layer formed over the first layer. The first metrology tool is adapted to measure a pre-etch thickness of the second layer. The process controller is adapted to determine an etch selectivity parameter based on the measured pre-etch thickness of the second layer and modify the operating recipe of the etch tool based on the etch selectivity parameter.

BRIEF DESCRIPTION OF THE DRAWINGS

The invention may be understood by reference to the following description taken in conjunction with the accompanying drawings, in which like reference numerals identify like elements, and in which:

Figure 1 is a simplified block diagram of a processing line in accordance with one illustrative embodiment of the present invention;

Figure 2 is a simplified diagram of a neural network modeling system in accordance with one embodiment of the present invention; and

Figure 3 is a simplified flow diagram of a method for decreasing variations in gate electrode lengths in accordance with one illustrative embodiment of the present invention.

While the invention is susceptible to various modifications and alternative forms, specific embodiments thereof have been shown by way of example in the drawings and are herein described in detail. It should be understood, however, that the description herein of specific embodiments is not intended to limit the invention to the particular forms disclosed, but on the contrary, the intention is to cover all modifications, equivalents, and alternatives falling within the spirit and scope of the invention as defined by the appended claims.

MODE(S) FOR CARRYING OUT THE INVENTION

Illustrative embodiments of the invention are described below. In the interest of clarity, not all features of an actual implementation are described in this specification. It will of course be appreciated that in the

development of any such actual embodiment, numerous implementation-specific decisions must be made to achieve the developers' specific goals, such as compliance with system-related and business-related constraints, which will vary from one implementation to another. Moreover, it will be appreciated that such a development effort might be complex and time-consuming, but would nevertheless be a routine undertaking for those of ordinary skill in the art having the benefit of this disclosure.

Referring now to Figure 1, a simplified diagram of a portion of an illustrative processing line 100 for processing wafers 110 in accordance with the present invention is provided. The processing line 100 includes a pre-etch metrology tool 120, an etch tool 130, a post-etch metrology tool 140, and a process controller 150. The process controller 150 receives data from the metrology tools 120, 140 and adjusts the operating recipe of the etch tool 130 to control etch selectivity and thereby reduce variations in the post-etch characteristics of the processed wafers 110.

An exemplary tool suitable for performing the functions of the etch tool 130 is a Rainbow 9400 plasma etch tool offered by Lam Research. The metrology tools 120, 140 are thickness measurement tools, such as Optiprobe thickness measuring tools offered by Thermawave, Inc. Although, distinct metrology tools 120, 140 are illustrated, a single tool may be used for the pre-etch and post-etch measurements. The metrology tools 120, 140 may be integrated with the etch tool 130. The process controller 150 contains an etch selectivity model of the etch tool 130. The model may be generated and/or updated based on input from the metrology tools 120, 140 of the actual pre-etch and post-etch thicknesses of an upper layer being etched and an underlying layer formed beneath the upper layer. There are many possible combinations of material for the upper layer and the underlying layer. Exemplary upper and underlying layer material pairs are polysilicon and silicon dioxide, silicon dioxide and silicon nitride, silicon nitride and silicon dioxide, *etc.*

In the illustrated embodiment, the process controller 150 is a computer programmed with software to implement the functions described. However, as will be appreciated by those of ordinary skill in the art, a hardware controller designed to implement the particular functions may also be used. Moreover, the functions performed by the process controller 150, as described herein, may be performed by multiple controller devices distributed throughout a system. Additionally, the process controller 150 may be a stand-alone controller, it may be resident on the etch tool 130, or it may be part of a system controlling operations in an integrated circuit manufacturing facility. Portions of the invention and corresponding detailed description are presented in terms of software, or algorithms and symbolic representations of operations on data bits within a computer memory. These descriptions and representations are the ones by which those of ordinary skill in the art effectively convey the substance of their work to others of ordinary skill in the art. An algorithm, as the term is used here, and as it is used generally, is conceived to be a self-consistent sequence of steps leading to a desired result. The steps are those requiring physical manipulations of physical quantities. Usually, though not necessarily, these quantities take the form of optical, electrical, or magnetic signals capable of being stored, transferred, combined, compared, and otherwise manipulated. It has proven convenient at times, principally for reasons of common usage, to refer to these signals as bits, values, elements, symbols, characters, terms, numbers, or the like.

It should be borne in mind, however, that all of these and similar terms are to be associated with the appropriate physical quantities and are merely convenient labels applied to these quantities. Unless specifically stated otherwise, or as is apparent from the discussion, terms such as "processing" or "computing" or "calculating" or "determining" or "displaying" or the like, refer to the action and processes of a computer

system, or similar electronic computing device, that manipulates and transforms data represented as physical, electronic quantities within the computer system's registers and memories into other data similarly represented as physical quantities within the computer system memories or registers or other such information storage, transmission or display devices.

5 An exemplary software system capable of being adapted to perform the functions of the process controller 140 as described is the Catalyst system offered by KLA-Tencor, Inc. The Catalyst system uses Semiconductor Equipment and Materials International (SEMI) Computer Integrated Manufacturing (CIM) Framework compliant system technologies and is based the Advanced Process Control (APC) Framework. CIM (SEMI E81-0699 - Provisional Specification for CIM Framework Domain Architecture) and APC (SEMI
10 E93-0999 - Provisional Specification for CIM Framework Advanced Process Control Component) specifications are publicly available from SEMI.

 The pre-etch metrology tool 120 measures the incoming thicknesses of the upper and underlying layers and provides the pre-etch thickness measurements to the process controller 150. Based on the pre-etch thickness measurements, the process controller 150 generates operating recipe parameters for controlling the
15 etch selectivity of the etch tool 130. Controlling the etch selectivity controls the etch rates of the etch tool 130 for the materials of the upper and underlying layers, thus affecting their post-etch thicknesses. Post-etch thickness measurements provided by the post-etch metrology tool 140 may be used to update the etch selectivity model used by the process controller 150 to determine the operating recipe of the etch tool 130.

 Exemplary factors that affect etch selectivity are temperature, pressure, and reactant gas composition. Generally, as temperature increases, less polymer byproduct is formed by the plasma reactants. This decrease in
20 byproduct formation typically increases the isotropic etch rate of the plasma. As pressure is decreased, the energy of the ions increases, causing the polymer forming on the surfaces perpendicular to the etch to be removed more quickly. As a result, the anisotropic etch rate is increased.

 A typical plasma reactive gas mixture includes one or more halocarbon gases, such as C_2F_8 , C_4F_8 ,
25 CHF_3 , CF_4 , CCl_4 , etc. Many other halocarbon gases are commonly used. The etch selectivity may be controlled by changing the ratio of halocarbon gas concentrations in the plasma. For example, consider a plasma including CHF_3 and CF_4 . In an example application, a silicon dioxide layer is formed by a TEOS deposition process, followed by a spin-on-glass (SOG) deposition and cure. The dielectric that is formed receives a planarization etch, where both the TEOS and SOG are exposed to the etching plasma. The relative
30 etch rates of these films determine the degree of planarization of the resulting structure. By keeping the total flow rate of CHF_3 and CF_4 equal and varying the ratio of the two gases, the selectivity can be optimized. Increasing the ratio of CF_4 flow to CHF_3 flow increases the etchrate of TEOS relative to SOG. Likewise, decreasing the ratio increases the relative SOG etchrate. In an etching process with a higher CHF_3 concentration, the rate of polymer formation is increased.

35 In changing the recipe of the etch tool 130, the process controller 150 may change a parameter or parameters within a baseline recipe or, alternatively, the process controller 150 may provide an entirely new recipe. The process controller 150 may update the recipe on a wafer-to-wafer basis, a lot-to-lot basis, or for each group of lots simultaneously processed in a single load.

 The process controller 150 may change the recipe of the etch tool 130 in a feedback mode or in a
40 feedforward mode of operation. In a feedback mode, the thickness measurements from the metrology tools 120,

140 may be used in conjunction with a target post-etch thickness to determine a new operating recipe for subsequently processed wafers. In a feedforward mode, the process controller 150 may receive incoming thickness measurements from the pre-etch metrology tool 120 and predict operating recipe parameters for controlling the etch selectivity. Subsequent post-etch measurements may be used to update the predictive model for subsequent wafers.

An etch selectivity model may be generated by the process controller 150, or alternatively, it may be generated by a different processing resource (not shown) and stored on the process controller 150 after being developed. The etch selectivity model may be developed using the etch tool 130 or using a different tool (not shown) having similar operating characteristics. For purposes of illustration, it is assumed that the etch selectivity model is generated and updated by the process controller 150 or other processing resource based on actual performance of the etch tool 130 as measured by the metrology tools 120, 140. The etch selectivity model is trained based on historical data collected from numerous processing runs of the etch tool 130. The etch selectivity model may be a relatively simple equation based model (*e.g.*, linear, exponential, weighted average, *etc.*) or a more complex model, such as a neural network model, principal component analysis (PCA) model, or a projection to latent structures (PLS) model. The specific implementation of the model may vary depending on the modeling technique selected, and such specific implementation is well known to those of ordinary skill in the art.

The following example is provided as a high-level illustration of how an etch selectivity model of the etch tool 130 may be generated. The specific implementation of the etch selectivity model may vary depending on the modeling technique selected, and such specific implementation is well known to those of ordinary skill in the art. Thus, for clarity and ease of illustration, such specific details are not described in greater detail herein.

Turning briefly to Figure 2, a simplified diagram of a neural network 200 is provided. The neural network 200 includes an input layer 210, a hidden layer 220, and an output layer 230. The input layer 210 receives those input values deemed appropriate for modeling the etch selectivity of the etch tool 130. In the illustrated embodiment, the incoming upper and underlying layer thickness measurements, as measured by the metrology tools 120, 140, are received as inputs, although other inputs may also be used. The hidden layer 220 "learns" the effects that recipe parameters in the operating recipe of the etch tool 130 have on determining the post-etch thicknesses of the underlying layer during a training procedure by which the neural network 200 is exposed to historical performance data of the etch tool 130 or a similar etch tool (not shown). The hidden layer 220 weights each of the inputs and/or combinations of the inputs to predict future performance. Through analysis of historical data, the weighting values are changed to try to increase the success at which the model predicts the future performance. The output layer 230 distills the manipulation of the hidden layer 220 to generate a prediction of, for example, the temperature, pressure, and/or reactant gas composition required to perform the etch and arrive at a target post-etch thickness for the underlying layer.

Once the model is sufficiently trained, it may be used in a production environment to predict the operation of etch tool 130 based on current input value measurements. Based on the results predicted by the neural network 200, the deposition control parameters are predicted, and the operating recipe of the etch tool 130 is modified accordingly. In the production environment, periodic measurements from the post-etch metrology tool 140 are provided as feedback to the process controller 150 for updating the etch selectivity model.

Referring now to Figure 3, a flow diagram of a method for controlling etch selectivity in an etch tool 130 is provided. In block 300, a wafer having first and second layers is provided. The second layer is formed over the first layer. The wafer is patterned to expose at least a portion of the second layer in block 310. In block 320, the thickness of the second layer is measured. In one embodiment, the thickness of the first layer
5 may also be measured. In block 330, etch selectivity parameters are determined based on the thickness of the second layer (*i.e.*, and based on the thickness of the first layer if so measured). Determining the etch selectivity parameters may be accomplished using a feedforward predictive modeling technique, or, alternatively using a feedback technique. In block 340, at least the first layer is etched based on the etch selectivity parameters. In the feedforward mode, the etching is performed for the current wafer. In the feedback mode, the etching is
10 performed on subsequent wafers.

Controlling etch selectivity as described above reduces the post-etch thickness variations in the underlying layer, hence, giving rise to a more stable, repeatable process. By using real-time control models to effect the variation reduction, the throughput of the processing line 100 and the quality of the end product may be increased. Increased throughput and reduced variation lead directly to increased profitability.

15 The particular embodiments disclosed above are illustrative only, as the invention may be modified and practiced in different but equivalent manners apparent to those skilled in the art having the benefit of the teachings herein. Furthermore, no limitations are intended to the details of construction or design herein shown, other than as described in the claims below. It is therefore evident that the particular embodiments disclosed above may be altered or modified and all such variations are considered within the scope and spirit of the
20 invention. Accordingly, the protection sought herein is as set forth in the claims below.

CLAIMS

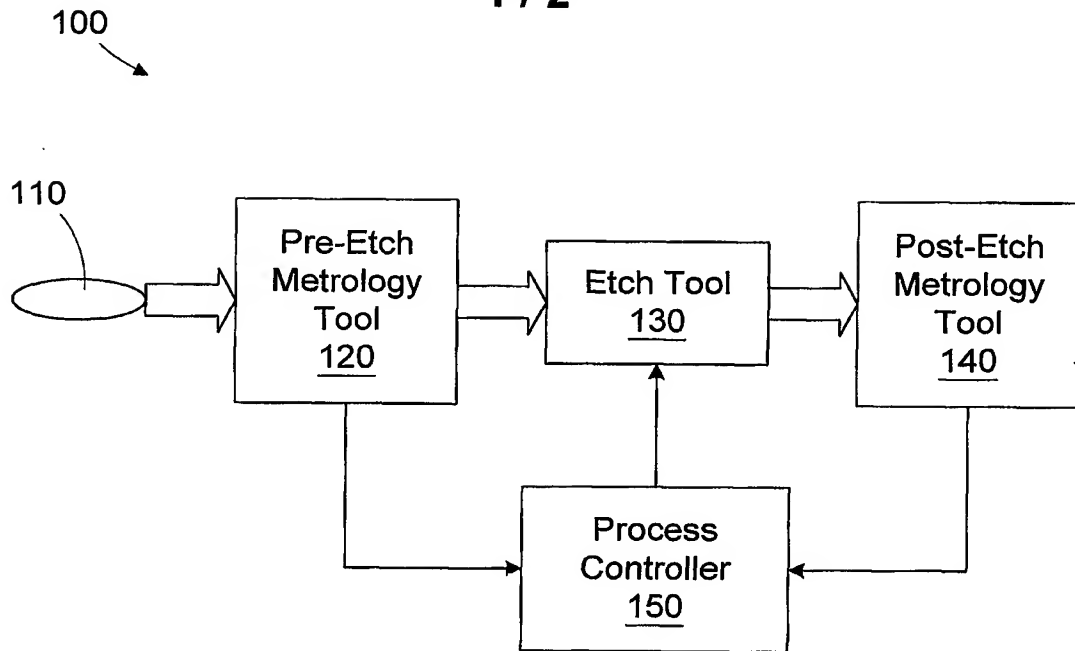
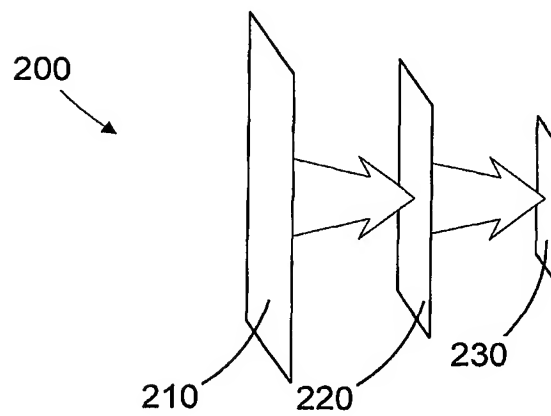
1. A method for controlling an etch process, comprising:
providing a wafer having at least a first layer and a second layer formed over the first layer;
measuring the thickness of the second layer;
5 determining an etch selectivity parameter based on the measured thickness of the second layer; and
modifying an operating recipe of an etch tool (130) based on the etch selectivity parameter.
2. The method of claim 1, further comprising measuring the thickness of the first layer, wherein
determining the etch selectivity parameter comprises determining the etch selectivity parameter based on the
10 measured thickness of the first layer.
3. The method of claim 1, further comprising etching at least the second layer based on the
operating recipe.
- 15 4. The method of claim 1, wherein determining the etch selectivity parameter comprises
determining at least one of a temperature, a pressure, and a ratio of the concentrations of two reactive gases.
5. The method of claim 3, further comprising:
etching at least a portion of the first layer based on the operating recipe;
20 measuring the thickness of a remaining portion of the first layer;
comparing the measured thickness of the remaining portion to a target thickness; and
modifying the operating recipe of the etch tool (130) based on a difference between the measured
thickness of the remaining portion and the target thickness.
- 25 6. A processing line (100), comprising:
an etch tool (130) adapted to etch a plurality of wafers (110) based on an operating recipe, each wafer
(110) having at least a first layer and a second layer formed over the first layer;
a first metrology tool (120) adapted to measure a pre-etch thickness of the second layer; and
a process controller (150) adapted to determine an etch selectivity parameter based on the measured
30 pre-etch thickness of the second layer and modify the operating recipe of the etch tool (130)
based on the etch selectivity parameter.
7. The processing line (100) of claim 6, wherein the first metrology tool (120) is further adapted
to measure the pre-etch thickness of the first layer, and the process controller (150) is adapted to determine the
35 etch selectivity parameter based on the measured pre-etch thickness of the first layer.
8. The processing line (100) of claim 6, wherein the etch tool (130) is adapted to etch at least the
second layer based on the operating recipe.

9. The processing line (100) of claim 6, wherein the etch selectivity parameter comprises at least one of a temperature, a pressure, and a ratio of the concentrations of two reactive gases.

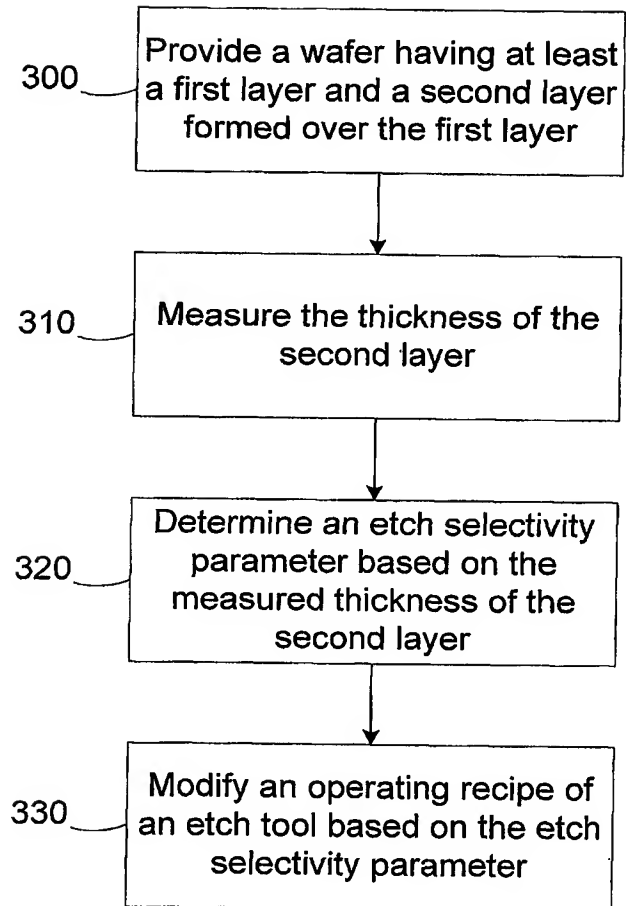
5 10. The processing line (100) of claim 8, wherein the etch tool (130) is adapted to etch at least a portion of the first layer based on the operating recipe, the processing line (100) further comprises a second metrology tool (140) adapted to measure the thickness of a remaining portion of the first layer, and the process controller (150) is adapted to compare the measured thickness of the remaining portion to a target thickness and modify the operating recipe of the etch tool (130) based on a difference between the measured thickness of the remaining portion and the target thickness.

10

1 / 2

**Figure 1****Figure 2**

2 / 2

**Figure 3**

(19) World Intellectual Property Organization
International Bureau



(43) International Publication Date
22 August 2002 (22.08.2002)

PCT

(10) International Publication Number
WO 02/065511 A3

(51) International Patent Classification⁷: **H01L 21/66**

(21) International Application Number: PCT/US02/02235

(22) International Filing Date: 25 January 2002 (25.01.2002)

(25) Filing Language: English

(26) Publication Language: English

(30) Priority Data:
09/783,423 14 February 2001 (14.02.2001) US

(71) Applicant: **ADVANCED MICRO DEVICES, INC.**
[US/US]; One AMD Place, Mail Stop 68, Sunnyvale, CA
94088-3453 (US).

(72) Inventors: **LANSFORD, Jeremy, S.**; 6103 Abilene Trail,
Austin, TX 78749 (US). **FAULK, Laura**; 6103 Abilene
Trail, Austin, TX 78749 (US).

(74) Agent: **DRAKE, Paul, S.**; Advanced Micro Devices, Inc.,
5204 East Ben White Boulevard, Mail Stop 562, Austin,
TX 78741 (US).

(81) Designated States (*national*): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZW.

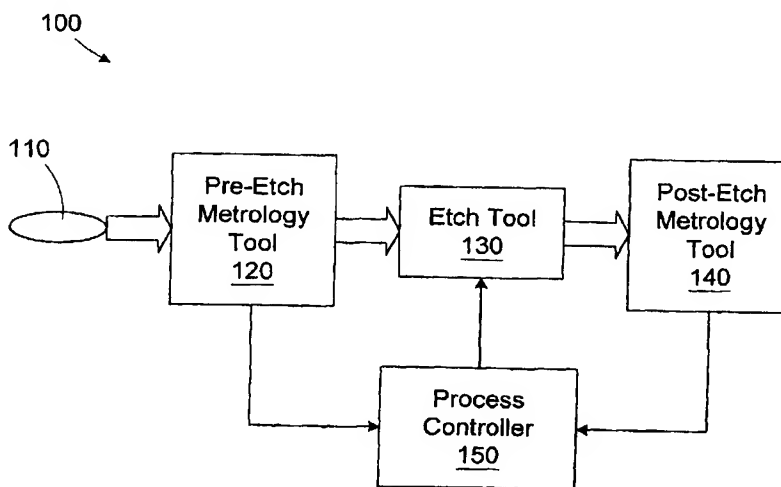
(84) Designated States (*regional*): ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Published:

- with international search report
- before the expiration of the time limit for amending the claims and to be republished in the event of receipt of amendments

[Continued on next page]

(54) Title: METHOD AND APPARATUS FOR CONTROLLING ETCH SELECTIVITY



(57) Abstract: A method for controlling an etch process comprises providing a wafer having at least a first layer and a second layer formed over the first layer. The thickness of the second layer is measured. An etch selectivity parameter is determined based on the measured thickness of the second layer. An operating recipe of an etch tool (130) is modified based on the etch selectivity parameter. A processing line (100) includes an etch tool (130), a first metrology tool (120), and a process controller (150). The etch tool (130) is adapted to etch a plurality of wafers (110) based on an operating recipe, each wafer (110) having at least a first layer and a second layer formed over the first layer. The first metrology tool (120) is adapted to measure a pre-etch thickness of the second layer. The process controller (150) is adapted to determine an etch selectivity parameter based on the measured pre-etch thickness of the second layer and modify the operating recipe of the etch tool (130) based on the etch selectivity parameter.



(88) Date of publication of the international search report:
20 March 2003

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

INTERNATIONAL SEARCH REPORT

International Application No
PCT/US 02/02235

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H01L21/66

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 372 673 A (STAGER CHARLES W ET AL) 13 December 1994 (1994-12-13) column 11 -column 12; figure 17 ----	1-10
X	US 6 133 132 A (BEHNKE JOHN R ET AL) 17 October 2000 (2000-10-17) the whole document ----	1,3,6-10
A	WO 00 79355 A (SEMY ENGINEERING INC) 28 December 2000 (2000-12-28) page 33 -page 34 -----	1-10

☐ Further documents are listed in the continuation of box C.



Patent family members are listed in annex.

* Special categories of cited documents:

A document defining the general state of the art which is not considered to be of particular relevance

E earlier document but published on or after the international filing date

L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

O document referring to an oral disclosure, use, exhibition or other means

P document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

Z document member of the same patent family

Date of the actual completion of the international search

8 January 2003

Date of mailing of the international search report

16/01/2003

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Szarowski, A

【手続補正書】

【提出日】平成15年10月7日(2003.10.7)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

エッチングプロセスを制御するための方法であって、
少なくとも第一番目の層と、この第一番目の層を覆って形成された第二番目の層を有する
ウェハを供給する処理、

前記第二番目の層のエッチング前の厚みを測定する処理、

少なくとも前記第二番目の層の測定された厚みに基づいて、前記第二番目の層に対する前
記第一番目の層のエッチング速度に関連するエッチング選択性パラメータを決定する処理

、前記第一番目の層と前記第二番目の層のエッチング速度の少なくとも一方に作用するよう
に、前記エッチング選択性パラメータに基づいて、エッチングツール(130)の操作レシビ
を変更する処理を含むエッチングプロセスを制御するための方法。

【請求項2】

前記第一番目の層の厚みを測定する処理をさらに含み、前記エッチング選択性パラメータ
を決定する際に、前記第一番目の層と前記第二番目の層の測定された厚みに基づいて、前
記エッチング選択性パラメータを決定する請求項1記載の方法。

【請求項3】

前記操作レシビに基づいて少なくとも前記第二番目の層をエッチングする処理をさらに含
む、請求項1または請求項2記載の方法。

【請求項4】

前記エッチング選択性パラメータを決定する際に、温度、圧力、および二種類の反応ガス
の濃度の比率のうち少なくとも1つを決定する、請求項1乃至請求項3のいずれか1項に
記載の方法。

【請求項5】

少なくとも前記第一番目の層の一部を操作レシビに基づいてエッチングする処理、
前記第一番目の層に残っている部分の厚みを測定する処理、
前記残っている部分の測定された厚みを目標とする厚みと比較する処理、
前記残っている部分の測定された厚みと前記目標とする厚みとの差に基づいて、前記エッ
チングツール(130)の操作レシビを調整する処理、をさらに含む請求項3記載の方法。

【請求項6】

少なくとも第一番目の層とこの第一番目の層を覆って形成された第二番目の層を有する複
数のウェハ(110)を、操作レシビに基づいてエッチングするように構成されたエッチング
ツール(130)と、
エッチング前に前記第二番目の層の厚みを測定するように構成された第一番目の測定用ツ
ール(120)と、

少なくとも前記第二番目の層のエッチング前に測定された厚みに基づいて前記第二番目の
層に対する前記第一番目の層のエッチング速度に関連するエッチング選択性パラメータを
決定し、前記第一番目の層および前記第二番目の層のエッチング速度の少なくとも一方に
作用するように、エッチング選択性パラメータに基づいてエッチングツール(130)の操作
レシビを変更するように構成されたプロセスコントローラ(150)と、を備える処理設備(10
0)。

【請求項7】

前記第一番目の測定用ツール(120)が、さらにエッチング前の前記第一番目の層の厚みを

測定するように構成されており、前記プロセスコントローラ(150)が、エッチング前の前記第一番目の層と前記第二番目の層の厚みの測定値に基づいて前記エッチング選択性パラメータを決定するように構成されている、請求項6に記載の処理設備。

【請求項8】

前記エッチングツール(130)が、前記操作レシピに基づいて少なくとも前記第二番目の層をエッチングするように構成されている、請求項6または請求項7に記載の処理設備。

【請求項9】

前記エッチング選択性パラメータは、温度、圧力、および二種類の反応ガスの濃度の比率のうちの少なくとも1つを含む、請求項6乃至請求項8のいずれか1項に記載の処理設備。

【請求項10】

前記エッチングツール(130)は、前記操作レシピに基づいて少なくとも前記第一番目の層の一部分をエッチングするように構成されており、処理設備(100)が前記第一番目の層の残っている部分の厚みを測定するように構成された第二番目の測定用ツール(140)をさらに備え、前記プロセスコントローラ(150)は、前記残っている部分の測定された厚みを目標とする厚みと比較し、前記残っている部分の測定された厚みと前記目標とする厚みとの差に基づいて、前記エッチングツール(130)の前記操作レシピを調整するように構成されている、請求項8に記載の処理設備。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0002

【補正方法】変更

【補正の内容】

【0002】

米国特許第6,133,132号公報は、半導体装置中のトランジスタのスペーサの幅を制御する方法を示す。スペーサは、スペーサエッチングツール中で絶縁体層に対して異方性のプラズマエッチングを行うことによって形成される。スペーサのエッチングに先立って、自動プロセスコントローラは、スペーサの幅に影響を与えるために、絶縁体層の厚さ測定に基づいて、および事前に定義した制御方程式に従ってスペーサエッチングツールの操作レシピを修正する。スペーサの幅は、スペーサエッチングツールのエッチング時間を変更することで制御される。

米国特許第5,372,673号公報は、非平面の表面を持った材料層をエッチングするための方法を開示している。エッチング処理中に、この材料層のエッチング割合が監視されて、材料層の表面を平坦にするべく、選択されたエッチング割合を維持するようにエッチング環境が変更される。この文献には、さらに二段階(two-step)エッチングプロセスを使用して層をエッチングする、既知の方法について記述している。この方法は、単一の層をエッチングするのに第1の化学的エッチングを行い、続いて第2の化学的エッチングを行う。国際公開公報WO-A00/79355号は、生産プロセスを制御するためのラントゥーラン(run-to-run)コントローラについて記述している。説明されているコントローラは、半導体装置組立ての際に、臨界的寸法の線幅を制御するエッチングプロセスのために、フィード・バックを行う。

トランジスタなどの半導体装置のサイズまたはスケールを減少させることは、トランジスタを組み込む装置の全体としての速度を向上させることができるために恒常的な目標となっている。マイクロプロセッサなどの従来の集積回路装置は通常は半導体基板の表面上に形成された何百万個ものトランジスタから構成される。特許請求の範囲の全請求項を補正し、段落0002の内容を変更した。

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/US 02/02235

Patent document cited in search report		Publication date		Patent family member(s)		Publication date
US 5372673	A	13-12-1994	JP	7335613 A		22-12-1995
US 6133132	A	17-10-2000	US	6409879 B1		25-06-2002
WO 0079355	A	28-12-2000	AU	5881700 A		09-01-2001
			CN	1371489 T		25-09-2002
			EP	1200885 A1		02-05-2002
			WO	0079355 A1		28-12-2000